

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-134001  
 (43)Date of publication of application : 20.05.1997

(51)Int.CI.

G03F 1/14  
 H01L 21/027  
 H01L 27/108  
 H01L 21/8242

(21)Application number : 08-234540

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 04.09.1996

(72)Inventor : JU FAN KIM

(30)Priority

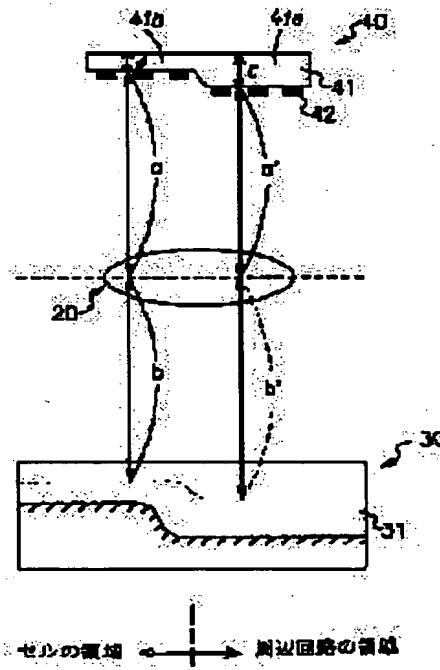
Priority number : 95 9528821 Priority date : 04.09.1995 Priority country : KR

## (54) PHOTOMASK FOR PRODUCTION OF SEMICONDUCTOR ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form the focus optimum in the entire area of a wafer at the time of a reduction exposure stage by overcoming differences in level.

**SOLUTION:** A photomask 40 is so formed that the thickness (c) of the quartz substrate 41 of a region 41a corresponding to the region of the peripheral circuit of a photoresist layer 31 is made relatively thicker than the thickness (d) of the quartz substrate 41 of a region 41b corresponding to the region of a cell. If the photomask is formed in such a manner, the distance a' from the region 41a to a lens 20 is made shorter than the distance (a) from the region 41b to the lens 20 by as much as (c-d) of the increased thickness. As a result, the simultaneous formation of the optimum images in the region of the cell and the region of the peripheral circuit is made possible.



## LEGAL STATUS

[Date of request for examination] 08.12.1997

[Date of sending the examiner's decision of rejection] 07.09.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-134001

(43) 公開日 平成9年(1997)5月20日

(51) Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 03 F 1/14			G 03 F 1/14	A
H 01 L 21/027			H 01 L 21/30	5 0 2 P
27/108				5 1 5 F
21/8242			27/10	6 8 1 F

審査請求 未請求 請求項の数2 OL (全4頁)

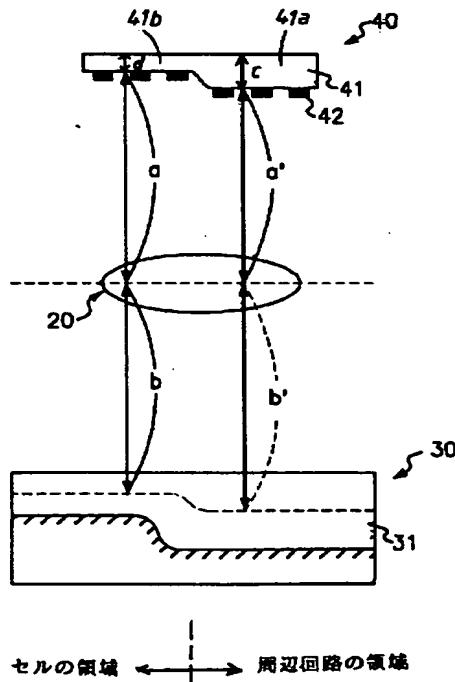
(21) 出願番号	特願平8-234540	(71) 出願人	593160415 ヒュンダイ エレクトロニクス インダストリーズ カンパニー リミテッド 大韓民国 467-860 キョウンキド イチ ヨンクン ブバリュブ アミーリ サン 136-1
(22) 出願日	平成8年(1996)9月4日	(72) 発明者	ジュ ファン キム 大韓民国 467-860 キョウンキド イチ ヨンクン ブバリュブ アミーリ サン 136-1 ヒュンダイ エレクトロニクス インダストリーズ カンパニー リミテッド内
(31) 優先権主張番号	1995 P 28821	(74) 代理人	弁理士 長谷 照一 (外2名)
(32) 優先日	1995年9月4日		
(33) 優先権主張国	韓国 (KR)		

(54) 【発明の名称】 半導体素子の製造のためのフォトマスク

(57) 【要約】

【課題】 段差を克服して縮小露光工程時においてウェーハの全領域で最適な焦点が形成できるようにする。

【解決手段】 フォトマスク40はフォトレジスト層31の周辺回路の領域に対応する領域41aの石英基板41の厚さcがセルの領域に対応する領域41bの石英基板41の厚さdに比べて相対的に厚くなるように形成している。このように形成すると、領域41aからレンズ20までの距離a'は厚さが厚くなった分(c-d)だけ領域41bからレンズ20までの距離aより短くなる。これにより、セルの領域及び周辺回路の領域で同時に最適の像を結像させることができるようになる。



## 【特許請求の範囲】

【請求項1】 リソグラフィ工程時の縮小露光工程により所定のパターンをウェーハに転写する半導体素子の製造のためのフォトマスクであって、前記フォトマスクを前記ウェーハ上に形成された厚さの異なるフォトレジスト層の厚さに対応した厚さとなるように形成し、前記フォトマスクと前記フォトレジスト層とをレンズを間にて対向させ、前記フォトマスクを通過した光が前記厚さの異なるフォトレジスト層のどの位置においても最適な像を結像するようにしたことを特徴とする半導体素子の製造のためのフォトマスク。

【請求項2】 請求項1に記載の半導体素子の製造のためのフォトマスクにおいて、前記フォトレジスト層のうちの厚さの厚いフォトレジスト層に対応する前記フォトマスクは前記レンズとの距離が相対的に短くなるようにその厚さを厚くしたことを特徴とする半導体素子の製造のためのフォトマスク。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、所定のパターンをウェーハに転写する半導体素子の製造のためのフォトマスクに関する。

## 【0002】

【従来の技術】 半導体メモリ素子の製造工程時、素子を形成するための複数の層が積層されるため、ウェーハの表面は段差を持つこととなり、特にメモリセルの領域と周辺回路の領域は段差が大きくなる。

【0003】 図4は従来のフォトマスクを使用した露光の工程を示す概念図である。図4において、10はフォトマスク、11は石英基板、12は光遮断膜、20はレンズ、30はウェーハ、31はフォトレジスト層を各々示す。ウェーハ30上にはセルの領域と周辺回路の領域とで大きな段差が形成されているから、ウェーハ30上に塗布されたフォトレジスト層31の厚さはセルの領域と周辺回路の領域とで互いに異なる厚さを持っていることがわかる。即ち、セルの領域に対して相対的に地形が低い周辺回路の領域はフォトレジスト層の厚さが相対的に厚く形成される。

【0004】 一方、リソグラフィの工程のための露光工程は、ウェーハ30に転写されるパターンが描かれているフォトマスク10と、フォトレジスト層31が塗布されたウェーハ30を各々縮小投影露光装置（ステッパー；stepper）に装着して実施する。そして、縮小投影露光装置のレンズ20はフォトマスク10とウェーハ30の間に置かれる。

【0005】 ここで、図4に示すように、セルの領域と周辺回路の領域とでレンズ20からフォトマスク10までの距離aは一定であるから、ウェーハ30上に結像する露光の光はフォトレジスト層31の厚さに関係なく、

すべての領域で同一な位置となる。即ち、セル領域に最適な焦点（best focus）が形成されるように露光の工程を行うと、セルの領域に比べてフォトレジスト層31の厚さが厚い周辺回路の領域においては最適な焦点が形成されないことになる。

【0006】 従って、図4に示すような状態でウェーハ30上のフォトレジスト層31を露光した後、エッチングを行うと図5に示すようなパターニングされた状態となる。図5から分かるように、最適の焦点から外れて露光された周辺回路の領域のフォトレジスト層31にはスカム（scum）31aが存在して所望とする形状のパターンを形成することができない。

## 【0007】

【発明が解決しようとする課題】 上記したように、半導体素子が高集積化されるに伴い、セルの領域と周辺回路の領域とで段差が大きくなり、縮小露光工程時において、セルの領域と周辺回路の領域の両領域に同時に最適な焦点を形成させることができなくなるため、所望とする正確なパターンを両領域においてディファイン（define）できないという問題点がある。

【0008】 このため、焦点深度（depth of focus）を向上（深く）させる方法や、平坦化のためのCMP（chemical mechanical polishing）工程等により段差を減らす方法等が提案されているが、洗浄工程等の種々の工程が増加するため、量産性を考慮すると、これらの方法は望ましくない。

【0009】 そこで、本発明は上記した問題点を解決するためになされたものであり、ウェーハ上の段差を克服して縮小露光工程時においてウェーハの全領域で最適な焦点が形成できるようなフォトマスクを提供することを目的とする。

## 【0010】

【課題を解決するための手段】 上記目的を達成するためには本発明は、請求項1に記載の発明においては、リソグラフィ工程時の縮小露光工程により所定のパターンをウェーハに転写する半導体素子の製造のためのフォトマスクであって、フォトマスクをウェーハ上に形成された厚さの異なるフォトレジスト層の厚さに対応した厚さとなるように形成し、フォトマスクとフォトレジスト層とをレンズを間にて対向させ、フォトマスクを通過した光が厚さの異なるフォトレジスト層のどの位置においても最適な像を結像するようにしたことがある。

【0011】 また、請求項2に記載の発明においては、フォトレジスト層のうちの厚さの厚いフォトレジスト層に対応するフォトマスクはレンズとの距離が相対的に短くなるようにその厚さを厚くしたことがある。

## 【0012】

【発明の実施の形態】 以下、添付した図を参照して本発明を詳細に説明する。段差（global topol

o g y) によりメモリセルの領域と周辺回路の領域とで最適な像 (image) を結像する位置が互いに異なって、焦点深度が浅くなることを防止するために、本発明は、フォトマスクからレンズまでの距離が段差に対応する距離を持つようにフォトマスクを凹凸状に形成し、ウェーハの全領域で段差 (フォトレジスト層の厚さ) に関係なく最適な像を結像できるようにすることにある。

【0013】図1は本発明の原理を説明するための概念図である。図1において、レンズ20から物体までの距離をa、レンズ20から像が結像する位置までの距離をb、レンズ20の焦点距離をfとすると、次の数1に示す数式が成立する。

【0014】

$$[数1] \frac{1}{a} + \frac{1}{b} = \frac{1}{f}$$

上記数1の式のように定めたレンズ20の位置から物体までの距離aを変化させれば、像が結像する位置までの距離bを調整することができる。即ち、レンズ20から物体 (フォトマスク) までの距離を短くすれば、レンズ20から像が結像する位置までの距離は長くなる。本発明はこのような原理を利用することで、セルの領域及び周辺回路の領域に対応する各々のフォトマスクの基板の厚さを各々異なるように形成することにより、即ち、レンズとフォトマスクの距離が局部的に異なるようにして、セルの領域及び周辺回路の領域の各領域に最適な位置に像を結像できるように、それぞれの焦点位置を異ならせることにある。

【0015】図2及び図3を参照して本発明の一実施形態を説明する。図2は本発明のフォトマスクを使用した露光工程を示す概念図である。図2において、40は本発明によるフォトマスク、41は石英基板、42は光遮断膜、20はレンズ、30はウェーハ、31はフォトレジスト層を示す。フォトレジスト層31の周辺回路の領域はフォトレジスト層31の厚さが厚いから最適の像を結像する位置はセルの領域に比べて相対的に深い位置としなければならない (図2の符号b, b'参照)。即ち、フォトレジスト層31の周辺回路の領域においては、レンズ20から遠い距離に像を結像するようにしなければならない。

【0016】従って、図2に示すように、本発明によるフォトマスク40はフォトレジスト層31の周辺回路の

領域に対応する領域41aの石英基板41の厚さcがセルの領域に対応する領域41bの石英基板41の厚さdに比べて相対的に厚くなるように形成している。このように形成すると、領域41aからレンズ20までの距離 (図2の符号a'参照) は厚さが厚くなった分 (c-d) だけ領域41bからレンズ20までの距離 (図2の符号a参照) より短くなる。このため、セルの領域及び周辺回路の領域で同時に最適の像を結像させることができるようにになる。

【0017】図3は、本発明により図2に示すような状態でウェーハ30上のフォトレジスト層31を露光した後、エッチングを行い、ウェーハ30上のフォトレジスト層31がディファインされた状態を示す断面図であり、図3に示すように、セルの領域及び周辺回路の領域のすべてで所望とする大きさにフォトレジスト層31がディファインされたことを示している。

【0018】

【発明の効果】上述したように、本発明は高集積素子で段差がある場合であっても、前述したような段差を減らす方法等を用いることがないので、余分な工程を付加することがなくなる。そのため、今までの工程を変更することなく適用することが可能となり、素子の信頼度が向上するとともに、生産効率が大幅に向上する。

【図面の簡単な説明】

【図1】 本発明の原理を説明するための概念図である。

【図2】 本発明のフォトマスクを使用した露光工程を示す概念図である。

【図3】 図2に示す本発明の露光工程により、ウェーハ上のフォトレジスト層がパターニングされた状態を示す断面図である。

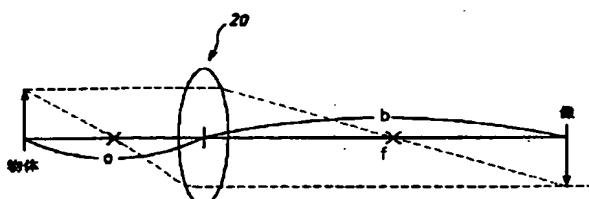
【図4】 従来のフォトマスクを使用した露光工程を示す概念図である。

【図5】 図4に示す従来技術の露光工程により、ウェーハ上のフォトレジスト層がパターニングされた状態を示す断面図である。

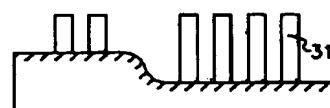
【符号の説明】

20…レンズ、30…ウェーハ、31…フォトレジスト、40…フォトマスク、41…石英基板、42…光遮断膜。

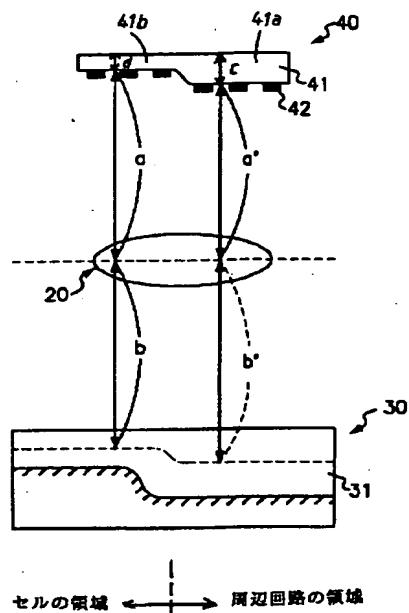
【図1】



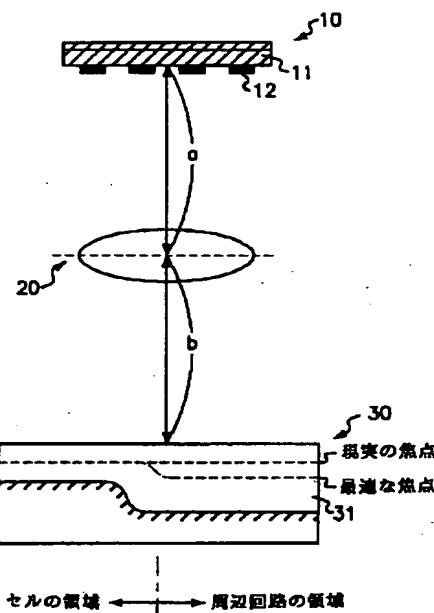
【図3】



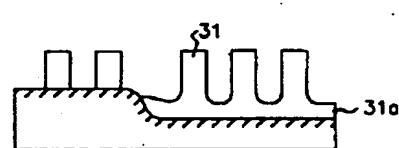
【図2】



【図4】



【図5】



セルの領域 ← → 周辺回路の領域

セルの領域 ← → 周辺回路の領域